

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-70124

(43) 公開日 平成8年(1996)3月12日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78 21/336		9055-4M 9055-4M 9055-4M	H 0 1 L 29/ 78	6 5 2 T 6 5 3 A 6 5 8 G
審査請求 未請求 請求項の数11 O L (全 9 頁)				

(21) 出願番号 特願平7-157976

(22) 出願日 平成7年(1995)6月23日

(31) 優先権主張番号 特願平6-141393

(32) 優先日 平6(1994)6月23日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 原 一都

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72) 発明者 竹内 有一

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72) 発明者 戸倉 規仁

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(74) 代理人 弁理士 碓氷 裕彦

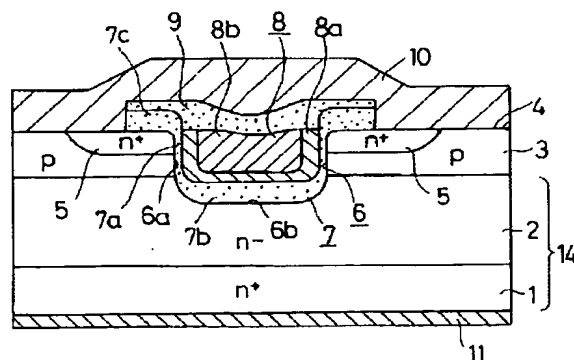
最終頁に続く

(54) 【発明の名称】 炭化珪素半導体装置の製造方法

(57) 【要約】

【目的】 第1に溝の内壁のダメージ層を除去することにより、MOS界面特性を改善し、スイッチング特性に優れたオン抵抗の低い炭化珪素半導体装置を製造する。また第2に、溝底部のコーナー部の角を丸めることでゲート、ドレイン間耐圧を向上させることができ、サイドエッチングの少ない炭化珪素半導体装置の製造方法を得ること。

【構成】 炭化珪素よりなる半導体基板表面に溝を形成し、この溝の内壁に存在するダメージ層を熱酸化して第1の熱酸化膜を形成する。そしてこの第1の熱酸化膜を除去することで、ダメージ層を除去する。そしてダメージ層を除去した後に溝の内壁に第2の熱酸化膜を形成するため、この第2の熱酸化膜は均一な膜となる。また、半導体基板の面方位を六方晶系の(0001)カーボン面または立方晶系の{111}カーボン面とすることによりサイドエッチングの少ない炭化珪素半導体装置を得る。



【特許請求の範囲】

【請求項1】 炭化珪素よりなる半導体基板表面に、底面及び側面を有する溝をドライエッチングにより形成する溝形成工程と、

該溝の前記底面及び前記側面に第1の熱酸化膜を形成する第1の酸化膜形成工程と、

該第1の熱酸化膜をウェットエッチングにより取り除く酸化膜除去工程と、

該酸化膜除去工程の後に前記溝の前記底面及び前記側面に第2の熱酸化膜を形成する第2の酸化膜形成工程とを含むことを特徴とする炭化珪素半導体装置の製造方法。

【請求項2】 前記炭化珪素よりなる半導体基板の面方位が六方晶系の(0001)カーボン面、六方晶系の(0001)カーボン面に近い面、立方晶系の{111}カーボン面、立方晶系の{111}カーボン面に近い面のうちの何れか一つであり、

前記溝形成工程における前記溝の前記底面の面方位が、前記半導体基板の前記面方位と略同じであることを特徴とする請求項1記載の炭化珪素半導体装置の製造方法。

【請求項3】 前記第2の熱酸化膜は、前記溝の前記側面に形成された側面酸化膜と、前記溝の前記底面に形成され前記側面酸化膜よりも厚い底面酸化膜とからなることを特徴とする請求項1または2に記載の炭化珪素半導体装置の製造方法。

【請求項4】 前記第2の熱酸化膜形成工程は、前記側面酸化膜と前記底面酸化膜とを同時に形成することを特徴とする請求項1乃至3の何れか一項に記載の炭化珪素半導体装置の製造方法。

【請求項5】 前記溝形成工程における前記溝の前記側面は、前記半導体基板の表面に対して略垂直の面を有することを特徴とする請求項1乃至4の何れか一項に記載の炭化珪素半導体装置の製造方法。

【請求項6】 前記溝形成工程における前記溝の前記底面及び前記側面の表面領域は、それぞれ格子欠陥を含むものであり、

前記第1の酸化膜形成は、少なくとも前記格子欠陥を含む前記表面領域の厚さの前記第1の熱酸化膜を形成する工程であることを特徴とする請求項1乃至5の何れか一項に記載の炭化珪素半導体装置の製造方法。

【請求項7】 第1導電型の低抵抗層と該低抵抗層上に形成された第1導電型の高抵抗層の二層にて構成され、かつ前記高抵抗層の上面側を表面側とし、前記低抵抗層の下面側を裏面側とする単結晶炭化珪素よりなる半導体基板の前記表面側に第2導電型の単結晶炭化珪素よりなる半導体層を形成する半導体層形成工程と、

該半導体層内の所定領域に第1導電型の半導体領域を形成する半導体領域形成工程と、

該半導体領域の上面から、該半導体領域と前記半導体層とを貫通して前記第1導電型の高抵抗層に達する溝を形成する溝形成工程と、

該溝の内壁に第1の熱酸化膜を形成する第1の酸化膜形成工程と、

該第1の熱酸化膜を取り除くようにエッチング除去する酸化膜除去工程と、

該酸化膜除去工程の後に前記溝の内壁に前記第2の熱酸化膜を形成する第2の酸化膜形成工程と、

該第2の熱酸化膜上にゲート電極層を、前記半導体層の表面および前記半導体領域の表面に第1の電極層を、前記半導体基板の前記裏面側に第2の電極層を、それぞれ形成する電極形成工程とを含むことを特徴とする炭化珪素半導体装置の製造方法。

【請求項8】 前記炭化珪素よりなる半導体基板の前記表面側の面方位が六方晶系の(0001)カーボン面または立方晶系の{111}カーボン面であり、前記溝形成工程における前記溝の溝底部が、前記半導体基板の面方位と略同じ面であることを特徴とする請求項7記載の炭化珪素半導体装置の製造方法。

【請求項9】 前記溝形成工程は、前記溝形成領域に前記半導体層の表面より所定の深さを有する局所熱酸化膜を形成する局所熱酸化工程と、該局所熱酸化膜を除去する局所酸化膜除去工程とを有することを特徴とする請求項7または8記載の炭化珪素半導体装置の製造方法。

【請求項10】 前記溝形成工程は、前記溝形成領域に前記半導体層の表面より所定の深さを有する前記溝を、前記溝の側壁が前記半導体層の表面に対して略垂直になるように形成する垂直加工工程を含むことを特徴とする請求項7乃至9のいずれか一項に記載の炭化珪素半導体装置の製造方法。

【請求項11】 前記第1の酸化膜形成工程と前記第2の酸化膜形成工程のうち、少なくとも何れか一方の工程において、前記半導体基板表面に直接的に Si_3N_4 膜が形成されていることを特徴とする請求項1乃至10の何れか一項に記載の炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は炭化珪素半導体装置の製造方法に関するものであり、その用途としては例えば、絶縁ゲート型電界効果トランジスタ、とりわけ大電力用の縦型MOSFET等の製造方法に用いて好適である。

【0002】

【従来の技術】近年、電力用トランジスタとして炭化珪素単結晶材料を使用した縦型パワーMOSFETが提案されている。電力用トランジスタの損失を低減するためにはオン抵抗の低減が必要であり、効果的にオン抵抗低減が可能な素子構造として図13に示す溝ゲート型パワーMOSFET(例えば、特開平4-239778)が提案されている。図13における溝ゲート型パワーMOSFETは炭化珪素の基板30上に第1半導体領域31が形成され、第1半導体領域31上に第2半導体領域3

2が形成され、さらに、第2半導体領域32の所定領域に第3半導体領域33が形成されている。又、第3半導体領域33と第2半導体領域32を貫通して第1半導体領域31に達する凹所34が形成され、凹所34内にはゲート絶縁膜35を介してゲート36が充填されている。ゲート36の上には絶縁膜37が形成され、絶縁膜37上を含む第3半導体領域33上には電極膜38が形成されている。

【0003】ここで、一般的に図13に示すような溝ゲート型パワーMOSFETを製造する場合、溝ゲート部は凹所34の形成後、熱酸化により凹所34の表面を酸化してゲート絶縁膜35を側面と底面に形成し、その後ゲート電極(ゲート36)を形成して溝ゲート部の基本構造を完成する。

【0004】

【発明が解決しようとする課題】しかしながら図13に示すような溝ゲート型パワーMOSFETを製造する場合、溝ゲート部の内壁はドライエッチング法とくにリアクティブイオンエッチング法(RIE法)を利用して異方性エッチング条件下で形成するため、前記溝内壁にはダメージ層が形成される。これは、現在の所、炭化珪素基板を効率良くエッチングできるエッチング液がなく、ドライエッチング法等でエッチングする方法が最も容易だからである。ここでダメージ層とは、RIE法のように物理的にイオンをあててエッチングする際に形成される結晶欠陥を有する層、または、化学エッチングによりエッチングする際に被エッチング面が不均一にエッチングされてしまうことで生じる凸凹層等をいう。そして、このダメージ層においては、MOS界面特性が劣化しオン抵抗増加やスイッチング特性の劣化が生じる。

【0005】前記溝内壁のダメージ層を除去するためには、被エッチング面を均一にウェットエッチングすることにより、ダメージ層を除去することが考えられるが、ウェットエッチングでは周知のとおり、均一にダメージ層を除去することは非常に困難であるという問題がある。また溝底部のコーナー部は異方性のドライエッチングにより形成されるため、溝底部のコーナー部で角ができ電界集中を生じる。このためゲート、ドレイン間耐圧が低下する。この角を丸めるためには異方性の弱いドライエッチングによりエッチングするか又はコーナー部を熱酸化することが考えられるが、異方性の弱いドライエッチングは溝側壁が徐々に広がって行く所謂サイドエッチングを生じてしまうため、溝の微細化を行うのが困難であるという問題があり、熱酸化は炭化珪素における熱酸化速度の面方位に対する依存性が明らかではなく、熱酸化膜厚の制御が難しいという問題があった。

【0006】そこでこの発明の目的は、第1に溝の内壁のダメージ層を除去することにより、MOS界面特性を改善し、スイッチング特性に優れたオン抵抗の低い炭化珪素半導体装置を製造する製造方法を得ること。また

第2に、溝底部のコーナー部の角を丸めることでゲート、ドレイン間耐圧を向上させることができ、サイドエッチングが少ない炭化珪素半導体装置の製造方法を得ることである。

【0007】

【課題を解決するための手段】上記目的を達成するために構成された請求項1に記載の発明は、炭化珪素よりなる半導体基板表面に、底面及び側面を有する溝をドライエッチングにより形成する溝形成工程と、該溝の前記底面及び前記側面に第1の熱酸化膜を形成する第1の酸化膜形成工程と、該第1の熱酸化膜をウェットエッチングにより取り除く酸化膜除去工程と、該酸化膜除去工程の後に前記溝の前記底面及び前記側面に第2の熱酸化膜を形成する第2の酸化膜形成工程とを含むことを特徴としている。

【0008】また、請求項2に記載の発明によれば、請求項1の構成に加え、前記炭化珪素よりなる半導体基板の面方位が六方晶系の(0001)カーボン面、六方晶系の(0001)カーボン面に近い面、立方晶系の{111}カーボン面、立方晶系の{111}カーボン面に近い面のうちの何れか一つであり、前記溝形成工程における前記溝の前記底面の面方位が、前記半導体基板の前記面方位と略同じであるよう構成することを特徴としている。

【0009】また、請求項3に記載の発明によれば、請求項1または2に記載の製造方法において、前記第2の熱酸化膜を、前記溝の前記側面に形成された側面酸化膜と、前記溝の前記底面に形成され前記側面酸化膜よりも厚い底面酸化膜とすることを特徴としている。さらに、請求項4の記載によれば、請求項1乃至3項の何れか記載の発明に加え、前記第2の熱酸化膜形成工程を、前記側面酸化膜と前記底面酸化膜とを同時に形成する工程とすることを特徴としている。

【0010】請求項5に記載の発明においては、請求項1乃至4の何れか一項に記載の炭化珪素半導体装置の製造方法において、前記溝形成工程における前記溝の前記側面を、前記半導体基板の表面に対して略垂直の面を有する構成とすることを特徴としている。請求項6に記載の発明によれば、請求項1乃至5の何れか一項に記載の炭化珪素半導体装置の製造方法において、前記溝形成工程における前記溝の前記底面及び前記側面の表面領域は、それぞれ格子欠陥を含むものであり、前記第1の酸化膜形成は、少なくとも前記格子欠陥を含む前記表面領域の厚さの前記第1の熱酸化膜を形成する工程であることを特徴としている。

【0011】請求項7に記載の発明によれば、第1導電型の低抵抗層と該低抵抗層上に形成された第1導電型の高抵抗層の二層にて構成され、かつ前記高抵抗層の上面側を表面側とし、前記低抵抗層の下面側を裏面側とする単結晶炭化珪素よりなる半導体基板の前記表面側に第2

導電型の単結晶炭化珪素よりなる半導体層を形成する半導体層形成工程と、該半導体層内の所定領域に第1導電型の半導体領域を形成する半導体領域形成工程と、該半導体領域の上面から、該半導体領域と前記半導体層とを貫通して前記第1導電型の高抵抗層に達する溝を形成する溝形成工程と、該溝の内壁に第1の熱酸化膜を形成する第1の酸化膜形成工程と、該第1の熱酸化膜を取り除くようにエッチング除去する酸化膜除去工程と、該酸化膜除去工程の後に前記溝の内壁に前記第2の熱酸化膜を形成する第2の酸化膜形成工程と、該第2の熱酸化膜上にゲート電極層を、前記半導体層の表面および前記半導体領域の表面に第1の電極層を、前記半導体基板の前記裏面側に第2の電極層を、それぞれ形成する電極形成工程とを含むことを特徴とするものである。

【0012】請求項8記載の発明によれば、請求項7記載の炭化珪素半導体装置の製造方法において、前記炭化珪素よりなる半導体基板の前記表面側の面方位が六方晶系の(0001)カーボン面または立方晶系の{111}カーボン面であり、前記溝形成工程における前記溝の溝底部が、前記半導体基板の面方位と略同じ面であることを特徴としている。

【0013】請求項9記載の発明によれば、請求項7または8記載の炭化珪素半導体装置の製造方法において前記溝形成工程が、前記溝形成領域に前記半導体層の表面より所定の深さを有する局所熱酸化膜を形成する局所熱酸化工程と、該局所熱酸化膜を除去する局所酸化膜除去工程とを有するよう構成することを特徴としている。請求項10記載の発明によれば、請求項7乃至9のいずれか一項に記載の炭化珪素半導体装置の製造方法において、前記溝形成工程は、前記溝形成領域に前記半導体層の表面より所定の深さを有する前記溝を、前記溝の側壁が前記半導体層の表面に対して略垂直になるように形成する垂直加工工程を含むことを特徴とするものである。

【0014】請求項11の記載によれば、請求項1乃至10の何れか一項に記載の炭化珪素半導体装置の製造方法において前記第1の酸化膜形成工程と前記第2の酸化膜形成工程のうち、少なくとも何れか一方の工程において、前記半導体基板表面に直接的にSi₃N₄膜が形成されていることを特徴とするものである。

【0015】

【作用及び発明の効果】一般的に炭化珪素基板表面に溝を形成する際、この溝の内壁にはダメージ層が形成されてしまう。そして請求項1に記載の発明によれば、第1の酸化膜形成工程で、ダメージ層の表面を熱酸化することにより第1の熱酸化膜を形成し、その後、この第1の熱酸化膜を、ダメージ層の結晶欠陥を有する層や凹凸の層が取り除かれるようにウェットエッチング処理する。これにより、内壁のダメージ層を除去することが可能となるとともに、内壁の平坦化が行われる。従って、第2の熱酸化膜は熱酸化の速度が均一となり、第2の熱酸化

膜も均一となる。

【0016】請求項2に記載の発明によれば、半導体基板の面方位を六方晶系の(0001)カーボン面または立方晶系の{111}カーボン面とする。そして、溝の溝底部を半導体基板の面方位と略同じ面とする。六方晶系の(0001)カーボン面または立方晶系の{111}カーボン面は、他の面に比べて熱酸化速度が大きいことが判明した。従って、この熱酸化で溝側壁では薄い酸化膜、みぞ底部では厚い酸化膜が形成され、これらの熱酸化膜を除去することによりサイドエッチングを少なくして溝の内壁をエッチングできる。

【0017】請求項3に記載の発明によれば、第2の酸化膜形成工程において、この熱酸化で溝側壁では薄い酸化膜、溝底部では厚い酸化膜が形成される。請求項4記載の発明によれば、前記側面酸化膜と前記底面酸化膜とを同時に形成して、工程を短縮することができる。請求項5の記載によれば、前記溝の側面は前記半導体基板の表面に対して略垂直な面が形成される。

【0018】請求項6に記載の発明によれば、前記溝形成工程において生じる格子欠陥を含む表面領域の厚さに第1の熱酸化膜が形成される。そのため、第1の酸化膜が除去された後に形成される溝表面からダメージ層を除去することが可能となる。請求項7に記載の発明によれば、溝に第1の熱酸化膜を形成し、この第1の熱酸化膜を除去することにより、チャネル部となる溝側面のダメージ層が効率良く除去される。従って、溝側面での第2導電型の半導体層の表面がチャネルとなって、ソース・ドレイン間に電流が流れる際、MOS界面特性が改善され、スイッチング特性に優れたオン抵抗の低い炭化珪素半導体装置を製造することができる。また溝底部のコーナー部の角が丸まるのでゲート、ドレイン間耐圧を向上できる。

【0019】請求項8に記載の発明によれば、半導体基板の面方位を六方晶系の(0001)カーボン面または立方晶系の{111}カーボン面とする。そして、溝の溝底部を半導体基板の面方位と略同じ面とする。六方晶系の(0001)カーボン面または立方晶系の{111}カーボン面は、他の面に比べて熱酸化速度が大きいことが判明した。従って、この熱酸化で溝側壁では薄い酸化膜、溝底部では厚い酸化膜が形成され、これらの熱酸化膜を除去することによりサイドエッチングを少なくして溝の内壁をエッチングできる。

【0020】請求項9に記載の発明によれば、溝形成工程を溝形成領域に熱酸化膜を形成する局所熱酸化工程と、該熱酸化膜を除去する酸化膜除去工程とを有する。これにより、溝を形成すると同時に、第1の酸化膜形成工程の前に予め溝内壁のダメージを除去することができる。従って本発明によれば、さらに効率良くダメージ層を除去することができる。

【0021】請求項10記載の発明によれば、チャネル

が形成される前記溝の側壁は前記半導体基板の表面に対して略垂直に形成される。一般にシリコン基板においてはパッド酸化膜を介して耐酸化性マスク Si_3N_4 膜を形成することで選択酸化が行われるが、その理由は Si_3N_4 膜とシリコン基板界面の応力発生によるシリコン基板への欠陥発生低減と Si_3N_4 膜はがれを抑えることにあった。一方炭化珪素基板等の単結晶基板においてはシリコンとは物性が異なり基板への欠陥発生はほとんどなく、 Si_3N_4 膜はがれも発生しないことが実験により確認されている。そのため、請求項11に記載の発明によれば、耐酸化性の Si_3N_4 膜を直接的にパッド酸化膜を介さずに基板表面に形成したので第1の酸化膜形成工程または第2の酸化膜形成工程において前記半導体基板表面を熱酸化から防ぐことができる。また従来のパッド酸化膜を使用した酸化膜形成工程では、バズピーク(Si_3N_4 膜の端部から横方向に熱酸化がくさび状に行なわれた熱酸化膜形状)が発生し問題であったが、このようなバズピークの発生も防止することができ、さらに微細な溝形成が可能となる。

【0022】

【実施例】

(第1実施例)以下、この発明を具体化した一実施例を図面に従って説明する。図1に本実施例の溝ゲート型パワーMOSFET(縦型パワーMOSFET)の断面図を示す。

【0023】低抵抗層としての n^+ 型単結晶炭化珪素(以下、 SiC)基板1は、六方晶系 SiC (0001)カーボン面を表面とし、かつ低抵抗でキャリア密度が $5 \times 10^{18} \text{ cm}^{-3}$ 程度である。この n^+ 型単結晶 SiC 基板1上に、高抵抗層としての n^- 型エピタキシャル層2と半導体層としての p 型エピタキシャル層3が順次積層されている。 n^- 型エピタキシャル層2は、キャリア密度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度で厚さが $10 \mu\text{m}$ 程度となっている。又、 p 型エピタキシャル層3は、キャリア密度が $1 \times 10^{17} \text{ cm}^{-3}$ 程度で厚さが $2 \mu\text{m}$ 程度となっており、該 p 型エピタキシャル層3の表面4が素子表面となっている。

【0024】本実施例では、 n^+ 型単結晶 SiC 基板1と n^- 型エピタキシャル層2とから半導体基板14が構成されている。 p 型エピタキシャル層3の表面4における所定領域には、半導体領域としての n^+ ソース領域5が形成され、 n^+ ソース領域5はキャリア密度が $1 \times 10^{19} \text{ cm}^{-3}$ 程度で接合深さが $0.5 \mu\text{m}$ 程度となっている。又、 p 型エピタキシャル層3の表面4の所定位置に溝6が形成されている。この溝6は、 n^+ ソース領域5と p 型エピタキシャル層3を貫通し n^- 型エピタキシャル層2に達し、 p 型エピタキシャル層3の表面に垂直な側面6aおよび p 型エピタキシャル層3の表面に平行な底面6bを有する。

【0025】溝6の内部には、ゲート絶縁膜としてのゲ

ート熱酸化膜7を介してゲート電極層8が配置されている。ここで、溝6の内壁は 1100°C で5時間程度の熱酸化とその熱酸化膜の除去の組み合わせによりエッチングされる。このことによりダメージ層が除去されまた溝コーナー部に丸みができる。その後、ゲート熱酸化膜7は 1100°C で5時間程度の一度の熱酸化工程により形成され、溝6の側面6aに位置する厚さが 50 nm 程度の薄いゲート熱酸化膜7aと、溝6の底面6bに位置する厚さが 500 nm 程度の厚いゲート熱酸化膜7bからなる。さらに、ゲート熱酸化膜7は n^+ ソース領域5上にも形成され、この領域におけるゲート熱酸化膜7cも厚さが 500 nm 程度に厚くなっている。これは、ここで、六方晶系の(0001)カーボン面または立方晶系の{111}カーボン面は、他の面に比べて熱酸化速度が大きいため、よって、この熱酸化で溝側壁では薄い酸化膜、溝底部では厚い酸化膜が形成される。

【0026】又、ゲート電極層8は、ゲート熱酸化膜7に接しリンをドーピングした第1のポリシリコン層8aと第2のポリシリコン層8bからなる。ゲート電極層8上には、厚さが $1 \mu\text{m}$ 程度の層間絶縁膜9が配置されている。さらに、層間絶縁膜9上を含めた n^+ ソース領域5の表面および p 型エピタキシャル層3の表面には、第1の電極層としてのソース電極層10が配置され、このソース電極層10は n^+ ソース領域5と p 型エピタキシャル層3に共に接している。 n^+ 型単結晶 SiC 基板1の裏面には、同基板1に接する第2の電極層としてのドレイン電極層11が設けられている。

【0027】この溝ゲート型パワーMOSFETの製造工程を、図2~8を用いて、詳細に説明する。まず、図2に示すように、表面の面方位が(0001)カーボン面である低抵抗の n^+ 型単結晶 SiC 基板1を用意する。そして、その n^+ 型単結晶 SiC 基板1の表面に、キャリア密度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度で厚さが $10 \mu\text{m}$ 程度の n^- 型エピタキシャル層2と、キャリア密度が $1 \times 10^{17} \text{ cm}^{-3}$ 程度で厚さが $2 \mu\text{m}$ 程度の p 型エピタキシャル層3を順次積層する。このようにして、 n^+ 型単結晶 SiC 基板1と n^- 型エピタキシャル層2とからなる半導体基板14を形成する。

【0028】続いて、図3に示すように、 p 型エピタキシャル層3に対しマスク材12を用いてイオン注入法により表面のキャリア濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 程度で接合深さが $0.5 \mu\text{m}$ 程度の n^+ ソース領域5を形成する。次に、マスク材12を除去した後、図4に示すように、マスク材13を用いて反応性イオンエッチング(RIE)法により、 n^+ ソース領域5と p 型エピタキシャル層3を貫通し n^- 型エピタキシャル層2に達する溝6を形成する。この溝6は、 p 型エピタキシャル層3の表面に垂直な側面6aおよび p 型エピタキシャル層3の表面に平行な底面6bを有する。

【0029】そして、図5に示すように、熱酸化法によ

り溝内壁に第1の熱酸化膜としての熱酸化膜15を1100℃で5時間程度の熱酸化工程により形成する。この熱酸化により、R1E法で形成された溝内壁のダメージ層が酸化され、溝6の側面6aに厚さ50nm程度の熱酸化膜と、溝6の底面6bに厚さ500nm程度の熱酸化膜15を形成する。その後、図6に示すように、この熱酸化膜15を弗酸により除去した後、マスク材13を除去する。この熱酸化膜15を除去することにより、溝内壁のダメージ層を除去する。

【0030】続いて、図7に示すように、熱酸化法によりゲート熱酸化膜7を1100℃で5時間程度の一度の熱酸化工程により形成する、この熱酸化により溝6の側面6aに位置する厚さが50nm程度の薄いゲート熱酸化膜7aと、溝6の底面6bに位置する厚さが500nm程度の厚いゲート熱酸化膜7bが形成される。さらに、n⁺ソース領域5上には厚さが500nm程度の厚いゲート熱酸化膜7cが形成される。

【0031】続いて、図8に示すように、溝6内を、第1及び第2ポリシリコン層8a、8bにより順次埋め戻す。しかる後、図1に示すように、第1及び第2ポリシリコン層8a、8b上を含めたゲート熱酸化膜7上に、CVD法により層間絶縁層9を形成し、ソースコンタクト予定位置のn⁺ソース領域5とp型エピタキシャル層3の表面上にあるゲート熱酸化膜7と層間絶縁層9を除去する。その後、n⁺ソース領域5とp型エピタキシャル層3及び層間絶縁層9上にソース電極層10を形成するとともに、n⁺型単結晶SiC基板1の裏面にドレイン電極層11を形成し、溝ゲート型SiCパワーMOSFETを完成する。

【0032】このように本実施例の溝ゲート型パワーMOSFETでは、n⁺型単結晶SiC基板1（第1導電型の低抵抗層）とn⁺型単結晶SiC基板1上に形成されたn⁻型エピタキシャル層2（第1導電型の高抵抗層）の二層にて構成され、かつn⁻型エピタキシャル層2の表面の面方位が（0001）カーボン面である六方晶系の単結晶炭化珪素よりなる半導体基板14と、半導体基板14の表面上に形成され、表面の面方位が（0001）カーボン面である六方晶系の単結晶炭化珪素よりなるp型エピタキシャル層3（第2導電型の半導体層）と、p型エピタキシャル層3内の所定領域に形成されたn⁺ソース領域5（第1導電型の半導体領域）と、n⁺ソース領域5とp型エピタキシャル層3を貫通しn⁻型エピタキシャル層2に達し、p型エピタキシャル層3の表面に垂直な側面6aおよびp型エピタキシャル層3の表面に平行な底面6bを有する溝6と、溝6の側面6aおよび底面6bに形成され、溝内壁にダメージ層がなく、かつ溝底部のコーナー部で丸みを付けられた溝が形成される。さらに溝6の側面6aでの膜厚に比べ溝6の底面6bでの膜厚の方が厚いゲート絶縁膜としてのゲート熱酸化膜7と、溝6内におけるゲート熱酸化膜7の内

側に形成されたゲート電極層8と、p型エピタキシャル層3表面およびn⁺ソース領域5表面に形成されたソース電極層10（第1の電極層）と、半導体基板14の裏面側に形成されたドレイン電極層11（第2の電極層）とを備えている。

【0033】よって、溝6の側面6aでのp型エピタキシャル層3の表面がチャネルとなっており、ソース・ドレイン間に電流が流れる際、溝内壁のダメージ層を除去したのでMOS界面特性を向上でき、また溝底部のコーナー部に丸みを付けたのでゲート・ドレイン間の耐圧が高くなる。さらに溝6の側面6aのゲート熱酸化膜7aは薄いために閾電圧を低くでき（例えば2V）、しかも溝6の底面6bのゲート熱酸化膜7bは厚いためにゲート・ドレイン間の耐圧を高く（例えば500V以上）できるとともに寄生容量が低減でき高速動作が可能になる。その結果、製造コストを低くできるとともに製造歩留りを向上させることができる。

【0034】尚、第1実施例では溝側面が半導体表面に対して垂直としたがこれに限定されるものではなく、R1E法の条件を変更することにより、溝側面を所望の傾斜角度にした場合にも適用でき、この場合においても同様な効果を得ることができる。尚、上記実施例においてマスク材13は、耐酸化性マスク、例えばSi₃N₄膜を使用することにより基板表面を酸化から防ぎ、またSi₃N₄膜の端部から横方向に熱酸化がくさび状に行われる所謂バースピークの発生を防ぐことができる。

【0035】図14にバッド酸化膜41を介して酸化膜13を形成した場合について説明する。半導体基板表面にまず、バッド酸化膜41を形成し、さらにその上に、Si₃N₄膜等からなるマスク材13を形成する。その状態でマスク材13を用いてエッチング等によりn⁺ソース領域5とp型エピタキシャル層3を貫通しn⁻型エピタキシャル層2に達する溝を形成する（図14（a））。その後図14（b）に示すように溝部に酸化膜43を形成するが、この時n⁺ソース領域5に向けて酸化が進行することから、結果としてn⁺ソース領域5にバースピーク42が発生することとなる。その結果、n⁺ソース領域5がより薄くなりシート抵抗R1が大きくなる問題が生じる。これに対して、上記実施例における製造方法においても述べたように、本願発明においては、耐酸化性マスク材13を直接的に半導体基板上に形成することでこのような問題を解決している。即ち、図15（a）に示すように半導体基板上に直接的に耐酸化性マスク、例えばSi₃N₄膜を形成し、その状態でマスク材13を用いてエッチング等によりn⁺ソース領域5とp型エピタキシャル層3を貫通しn⁻型エピタキシャル層2に達する溝を形成する。その後、図15（b）に示すように溝内壁に酸化膜44を形成する。この時n⁺ソース領域5へはバースピークにより酸化されなくなり、n⁺ソース領域におけるシート抵抗R1を増大することなく溝を形

成することができる。

(第2実施例)以下、この発明を具体化した第2実施例を図面に従って説明する。

【0036】第2実施例は、溝形成方法のみが第1実施例と異なり、その製造工程のみを図9～図12を用いて詳細に説明する。第2実施例では、第1実施例の図3の n^+ ソース領域形成の後、図9に示すように耐酸化膜16例えば200nm程度のSi₃N₄膜を形成し、マスク材17を用いてドライエッチング等で溝形成領域18の耐酸化膜16を除去する。

【0037】そして、図10に示すように、ドライエッチング等で溝深さ1 μ m程度の溝19を形成した後、マスク材17を除去する。そして、図11に示すように、局所熱酸化法により2 μ m程度の膜厚の熱酸化膜20を1100 $^{\circ}$ Cの局所熱酸化工程により形成する。この工程により、傾斜した側面を持つ溝21が形成される。

【0038】その後、図12に示すように、この熱酸化膜20を弗酸により除去することで、溝深さ2 μ m程度でダメージが少なく、傾斜した側面を持ち、さらに n^+ ソース領域5とp型エピタキシャル層3を貫通し n^- 型エピタキシャル層2に達する溝21を形成する。このように溝を形成した後は、第1実施例の図5に至る。

【0039】尚、第2実施例では、局所熱酸化工程の前に必ずしも溝19を形成する必要は無く、局所熱酸化工程のみで溝21の必要な溝深さを得ても良い。尚、この発明は上記第1実施例第2実施例に限定されるものではなく、例えば、 n チャネル型のみについて説明したが、半導体型の n と p を入れ換えた p チャネル型においても同じ効果が得られることは言うまでもない。また、溝における熱酸化膜の膜厚も、実施例中で用いた膜厚(側面を50nm程度、底面を500nm程度)に限定されるものではなく、溝側面の膜厚よりも溝底面の膜厚の方が厚い構成であればどのような構成でも良い。さらに、ゲート酸化膜形成前に熱酸化と熱酸化膜除去を一度だけでなく、複数回繰り返すことにより、溝底部のコーナー部の丸みを大きく形成することができる。また、半導体基板の面方位も実施例中の六方晶系の(0001)カーボン面に限られたものではなく、この他に例えば立方晶系の(111)カーボン面等にしても良い。

【図面の簡単な説明】

【図1】本発明の第1実施例における炭化珪素半導体装置の断面図である。

【図2】図1に示す炭化珪素半導体装置の製造工程を説明するための断面図である。

【図3】図1に示す炭化珪素半導体装置の製造工程を説明するための断面図である。

【図4】図1に示す炭化珪素半導体装置の製造工程を説明するための断面図である。

【図5】図1に示す炭化珪素半導体装置の製造工程を説明するための断面図である。

【図6】図1に示す炭化珪素半導体装置の製造工程を説明するための断面図である。

【図7】図1に示す炭化珪素半導体装置の製造工程を説明するための断面図である。

【図8】図1に示す炭化珪素半導体装置の製造工程を説明するための断面図である。

【図9】本発明の第2実施例における炭化珪素半導体装置の製造工程を説明するための断面図である。

【図10】本発明の第2実施例における炭化珪素半導体装置の製造工程を説明するための断面図である。

【図11】本発明の第2実施例における炭化珪素半導体装置の製造工程を説明するための断面図である。

【図12】本発明の第2実施例における炭化珪素半導体装置の製造工程を説明するための断面図である。

【図13】従来の炭化珪素半導体装置の断面図である。

【図14】(a)、(b)は共にバッド酸化膜を介して酸化膜を形成した場合の炭化珪素半導体装置の断面図である。

【図15】(a)、(b)は共に半導体基板上に直接的に酸化膜を形成した場合の炭化珪素半導体装置の断面図である。

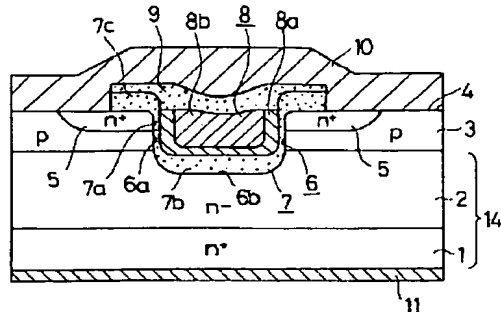
【符号の説明】

- 1 低抵抗層としての n^+ 型単結晶SiC基板
- 2 高抵抗層としての n^- 型エピタキシャル層
- 3 半導体層としてのp型エピタキシャル層
- 5 半導体領域としての n^+ ソース領域
- 6 溝
- 6a 側面
- 6b 底面
- 7 ゲート熱酸化膜
- 8 ゲート電極層
- 9 層間絶縁膜
- 10 第1の電極層としてのソース電極層
- 11 第2の電極層としてのドレイン電極層
- 13 マスク材(耐酸化性)
- 14 半導体基板
- 15 熱酸化膜
- 16 耐酸化膜
- 18 溝形成領域
- 20 熱酸化膜
- 21 傾斜した側面を持つ溝
- 30 炭化珪素の基板
- 31 第1半導体領域
- 32 第2半導体領域
- 33 第3半導体領域
- 34 凹所
- 35 ゲート絶縁膜
- 36 ゲート
- 37 絶縁膜
- 38 電極膜

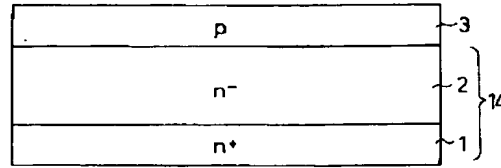
41 バッド酸化膜

* * 42 バーズビーク

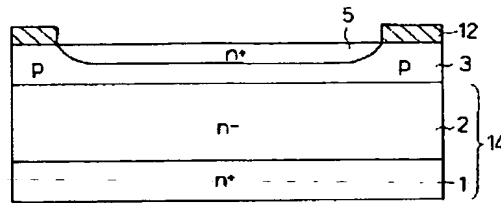
【図1】



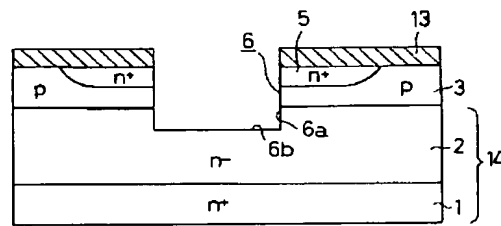
【図2】



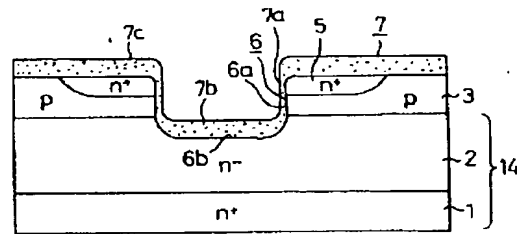
【図3】



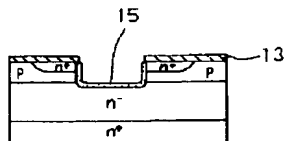
【図4】



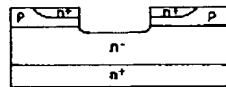
【図7】



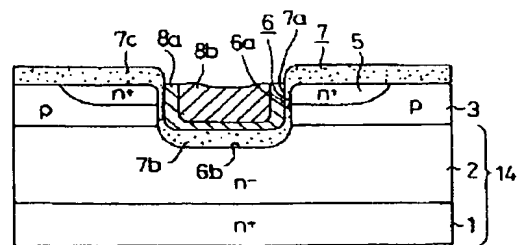
【図5】



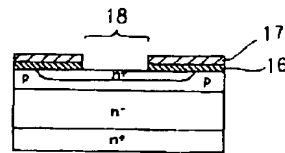
【図6】



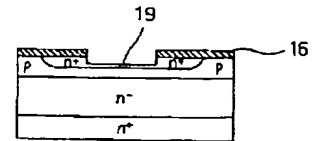
【図8】



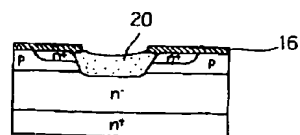
【図9】



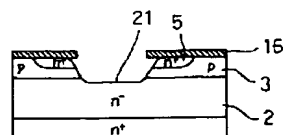
【図10】



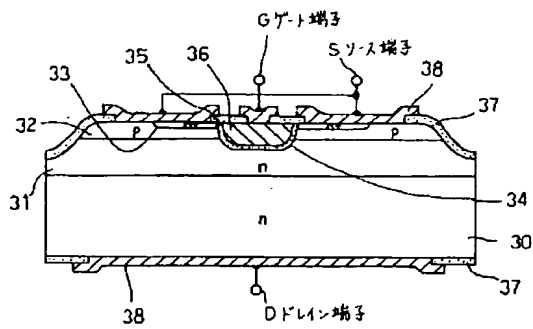
【図11】



【図12】

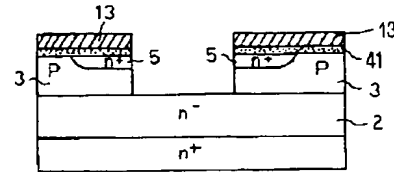


【図13】

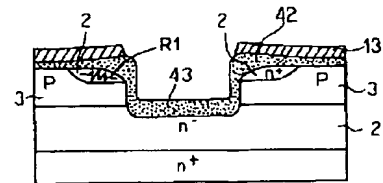


【図14】

(a)

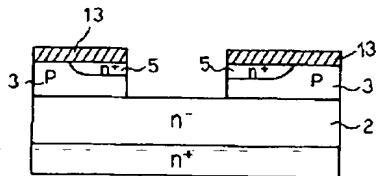


(b)

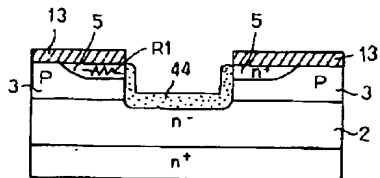


【図15】

(a)



(b)



フロントページの続き

(72)発明者 宮嶋 健
愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内